

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-261579

(43)Date of publication of application : 24.09.1999

(51)Int.Cl. H04L 12/28
G06F 13/38
G06F 13/42
H04L 7/00

(21)Application number : 10-060932

(71)Applicant : SONY CORP

(22)Date of filing : 12.03.1998

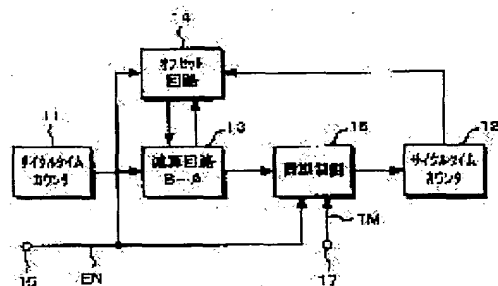
(72)Inventor : SUGITA TAKEHIRO
MAEJIMA YASUNARI

(54) SYNCHRONIZING METHOD AND BRIDGE

(57)Abstract:

PROBLEM TO BE SOLVED: To establish synchronization without temporarily stopping communication when mutually connecting buses composed of plural nodes for transmitting/ receiving data while maintaining mutual frame synchronism.

SOLUTION: An offset value is found based on the difference of cycle time counters 11 and 12 of both the buses and stored in an offset circuit 14. When mutually connecting the buses, the value of the cycle time counter 12 is corrected just for the offset, compared with the value of the cycle time counter 11 and synchronized. Then, the internal time in data is exchanged with the processing time of a bridge for connecting the respective buses by correcting internal data in data transmitted through the bridge just for the offset of synchronizing timing between the respective buses.



LEGAL STATUS

[Date of request for examination] 22.09.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3397124

[Date of registration] 14.02.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-261579

(43) 公開日 平成11年(1999) 9月24日

(51) Int.Cl.⁶
 H 0 4 L 12/28
 G 0 6 F 13/38
 13/42
 H 0 4 L 7/00

識別記号
 3 5 0
 3 4 0

F I
 H 0 4 L 11/00 3 1 0 D
 G 0 6 F 13/38 3 5 0
 13/42 3 4 0 A
 H 0 4 L 7/00 B

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願平10-60932

(22) 出願日 平成10年(1998) 3月12日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川 6 丁目 7 番 35 号

(72) 発明者 杉田 武弘

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

(72) 発明者 前島 康德

東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内

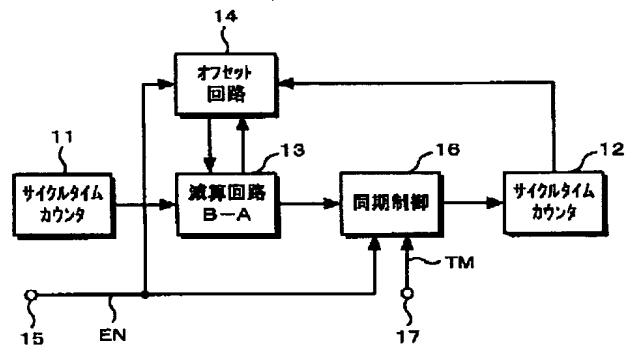
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 同期方法及びブリッジ

(57) 【要約】

【課題】 互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続する際に、通信を一時的に中断させることなく、同期をとることができるようにする。

【解決手段】 双方のバスのサイクルタイムカウンタ 11 及び 12 の違に基づくオフセット値を求め、このオフセット回路 14 に蓄える。バス同士を接続する際に、サイクルタイムカウンタ 12 の値をオフセット分だけ補正して、サイクルタイムカウンタ 11 の値と比較して同期をとる。そして、各バスを接続するブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することでデータ中の内部時間を付け替える。



【特許請求の範囲】

【請求項 1】 互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士をブリッジで接続して構成されるネットワークの同期方法において、

各バスを接続するためのブリッジの処理時間に、該ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することで該バス間の同期を確立するようにしたことを特徴とする同期方法。

【請求項 2】 互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続するブリッジにおいて、

各バスを接続するブリッジの処理時間に、該ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することで該データ中の内部時間を付け替えることを特徴とするブリッジ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、ネットワーク間を結ぶブリッジで、接続時のバス間の同期の確立するための同期方法及びブリッジに関する。

【0002】

【従来の技術】CD (Compact Disc) プレーヤ、MD (Mini Disc) レコーダ／プレーヤ、デジタルVTR、デジタルカメラ、DVD (Digital Versatile Disc) プレーヤ等、近年、オーディオ機器やビデオ機器のデジタル化が進んでいる。また、パーソナルコンピュータの普及により、これらのデジタルオーディオ機器やデジタルビデオ機器とパーソナルコンピュータとを接続して、パーソナルコンピュータで種々の制御を行えるようにしたシステムが登場してきている。このように、各デジタルオーディオ機器やデジタルオーディオビデオ機器間、或いはこれらとパーソナルコンピュータとを接続したようなシステムを構築するためのインターフェースとして、IEEE 1394 が注目されている。

【0003】IEEE 1394 は、等時 (Isochronous) 転送モードと、非同期 (Asynchronous) 転送モードとがサポートされている。等時転送モードは、ビデオデータやオーディオデータのような時間的に連続するデータストリームを高速転送するのに好適である。非同期転送モードは、例えば、各種のコマンドを転送したり、ファイルを転送したりするのに好適である。このように、IEEE 1394 は、等時転送モードと、非同期転送モードとがサポートされているため、IEEE 1394 をインターフェースとして使うと、デジタルオーディオ機器やデジタルビデオ機器間でビデオデータやオーディオデータを転送したり、これらとパーソナルコンピュータとを接続して、パーソナルコンピュータで各種制御

を行ったり、編集を行ったりすることが容易に行えるようになる。

【0004】ところが、IEEE 1394 は、有線のインターフェースである。有線のインターフェースで上述のようなシステムを構築するには、配線が必要であり、また、ケーブルが乱雑になりがちである。また、有線のインターフェースでは、家庭内の離れた部屋にある機器間では、接続が困難である。

【0005】そこで、本願出願人は、デジタルオーディオ機器やデジタルビデオ機器、或いはこれらとパーソナルコンピュータとを無線で接続でき、IEEE 1394 と同様に使用できる無線LANを提案している。図7は、このような無線LANの概要を示すものである。

【0006】図7において、WN1、WN2、WN3、…は、通信局とされるワイヤレスノードである。ワイヤレスノードWN1、WN2、…には、夫々、CDプレーヤ、MDレコーダ／プレーヤ、デジタルVTR、デジタルカメラ、DVDプレーヤ、テレビジョン受信機等のデジタルオーディオ又はデジタルビデオ機器AV1、AV2、…を接続することが可能である。また、ワイヤレスノードWN1、WN2、WN3、…に、パーソナルコンピュータを接続するようにしても良い。ワイヤレスノードWN1、WN2、…と接続されるデジタルオーディオ又はデジタルビデオ機器AV1、AV2、…には、IEEE 1394 のデジタルインターフェースが備えられており、各ワイヤレスノードWN1、WN2、…と、デジタルオーディオ又はデジタルビデオ機器AV1、AV2、…との間は、例えば、IEEE 1394 のデジタルインターフェースで接続される。

【0007】WNBは制御局とされるワイヤレスノードである。制御局とされたワイヤレスノードWNBと通信局とされた各ワイヤレスノードWN1、WN2、…間では、制御データがやり取りされ、通信局とされた各ワイヤレスノードWN1、WN2、…の通信は、制御局とされたワイヤレスノードWNBにより管理される。通信局とされた各ワイヤレスノードWN1、WN2、…間では、デジタルオーディオやデジタルビデオデータのような時間的に連続するデータストリーム (等時データ) 或いはコマンドのような非同期のデータが無線でやり取りされる。

【0008】ところで、このようにIEEE 1394 の伝送を無線で行えるようにしたシステムは、バス同士がブリッジを介して接続されているものと見做すことができる。

【0009】すなわち、ブリッジは、一方のバス側の物理層やリンク層と、他方のバス側の物理層やリンク層を合致させ、データ通信を行うノード同士のルーティング処理を行ない、伝送路を介して互いにデータのやり取りを行うものである。したがって、ブリッジは、機能的に示すと、図8に示すように、第1のバス101の物理層

を合致させるための物理層部111と、第1のバス101のリンク層を合致させるためのリンク層部112、第2のバス102の物理層を合致させるための物理層部117と、第2のバス102のリンク層を合致させるためのリンク層部116と、一方のバス101側のルーティング部113及び他方のバス102側のルーティング部115と、互いのバスでデータを交換するデータ交換部114とで表すことができる。

【0010】無線LANの場合には、図9に示すように、ワイヤスノードWN_nとワイヤレスノードWN_kとの間で、無線でデータ通信が行われる。このとき、ワイヤスノードWN_nに接続されるIEEE1394のバスBUS_nが第1のバスに対応し、ワイヤスノードWN_kに接続されるIEEE1394のバスBUS_kが第2のバスに対応する。そして、ワイヤスノードWN_nとワイヤレスノードWN_kとの間で、互いにデータ通信が行われるので、ワイヤスノードWN_nには、物理層部111とリンク層部112とルーティング部113が備えられていることになり、ワイヤスノードWN_kには、物理層部117とリンク層部116とルーティング部115が備えられていることになる。そして、交換部114の伝送路が無線ということになる。

【0011】したがって、上述のように、IEEE1394のデータを無線で伝送できるようにしたシステムを構築した場合には、IEEE1394のバスをブリッジで接続したと見做すことができる。

【0012】IEEE1394ではフレーム単位の伝送が行われており、データ中にタイムスタンプが含まれる。このように、データ中にタイムスタンプを含むバス同士をブリッジを用いて接続する場合には、データの過不足が無いように、ブリッジに接続されているバス同士のサイクルタイムカウンタの同期をとり、ブリッジにおける処理時間を補正するために、タイムスタンプの付け替え処理が行われている。

【0013】IEEE1394のフレーム構造は、図10は示すように、125μ秒が1フレームとされる。そして、各フレームで送信されるサイクルスタートパケット情報とカウンタの値の進み遅れを調べてカウンタを調整することで、同期がとられている。

【0014】サイクルタイムは、フレーム周期を24.576MHzでカウントするカウンタと、1行をフレーム周期でカウントするカウンタと、1秒をカウントするカウンタとの、合計32ビットのサイクルタイムカウンタで構成される。

【0015】図11は、一方のバスと他方のバスとの間でサイクルタイムカウンタの同期をとるための従来の同期回路の一例である。図11において、201は一方のバス側のサイクルタイムカウンタであり、204は他方のバス側のサイクルタイムカウンタである。

【0016】一方のバスのサイクルタイムカウンタ20

1の値は、減算回路202に供給される。また、他方のサイクルタイムカウンタ204の値が減算回路202に供給される。減算回路202で、サイクルタイムカウンタ204の値と、サイクルタイムカウンタ201の値とが減算される。

【0017】減算回路202の出力が同期制御回路203に供給される。同期制御回路203により、サイクルタイムカウンタ204の値とサイクルタイムカウンタ201の値との減算値に応じて、進み/遅れ制御信号が出力される。この進み/遅れ制御信号がサイクルタイムカウンタ204に送られ、サイクルタイムカウンタ204がこの進み/遅れ信号に応じて制御される。

【0018】ブリッジにより接続が開始されるとき、サイクルタイムカウンタ201の値と、サイクルタイムカウンタ204の値は異なっており、従来では、2つのバスをブリッジで接続したときには、サイクルタイムカウンタ201の値と、サイクルタイムカウンタ204の値とを合わせ込み、同期をとる必要がある。

【0019】そこで、ブリッジの接続が開始されるとき、サイクルタイムカウンタ204の値がサイクルタイムカウンタ201の値により初期化される。これにより、サイクルタイムカウンタ201の値と、サイクルタイムカウンタ204の値とが等しくなる。そして、このように、サイクルタイムカウンタ204の値をサイクルタイムカウンタ201の値により初期化し、サイクルタイムカウンタ201の値と、サイクルタイムカウンタ204の値とを等しておいてから、同期制御回路303により、サイクルタイムカウンタ204の値とサイクルタイムカウンタ201の値との減算値に応じて、サイクルタイムカウンタ204の値が制御される。

【0020】

【発明が解決しようとする課題】ところが、このようにブリッジの接続が開始されるときにサイクルタイムカウンタ204の値をサイクルタイムカウンタ201の値により初期化するようにした場合、サイクルタイムカウンタ204の値をサイクルタイムカウンタ201の値により初期化する際にサイクルタイムカウンタ204が連続しなくなるため、このとき通信を一時的に停止しなければならないという問題が生じている。

【0021】なお、通信の一時的な停止を避けるために、サイクルタイムカウンタ204の値とサイクルタイムカウンタ201の値とを徐々に一致させるように制御することも考えられるが、サイクルは32ビット長あり、このようにして調整するのでは、かなりの時間が必要になる。

【0022】したがって、この発明の目的は、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続する際に、通信を一時的に中断させることなく、同期をとることができるようにした同期方法及びブリッジを提供することにある。

【0023】

【課題を解決するための手段】この発明は、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士をブリッジで接続して構成されるネットワークの同期方法において、各バスを接続するためのブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することでバス間の同期を確立するようにしたことを特徴とする同期方法である。

【0024】この発明は、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士を接続するブリッジにおいて、各バスを接続するブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット分だけ修正することでデータ中の内部時間を付け替えることを特徴とするブリッジである。

【0025】ブリッジを通過するデータ中のタイムスタンプをブリッジ内の遅延時間の他に、サイクルタイムのオフセット値を考慮して補正することで、各バスのサイクルタイムカウンタを一致させる必要がなくなり、通信を一時的に中断させることなく、瞬時に同期をとることができるようになる。

【0026】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して説明する。図1は、複数のノードが接続されているバス同士をブリッジで接続した場合の構成を示すものである。図1において、1及び2は、例えば、IEEE1394で構成されるバスである。第1のバス1は、ノード1A、1B、1C、…から構成され、第2のバス2は、ノード2A、2B、2C、…とから構成される。このバス1とバス2との間がブリッジ3で接続される。

【0027】このように、IEEE1394のバス同士を接続するブリッジでは、データ中にタイムスタンプが含まれており、バス同士の同期をとる必要がある。この発明では、バス同士を接続する際に、ブリッジを通過するデータ中のタイムスタンプを、ブリッジ内の遅延時間の他に、互いのバスのサイクルタイムカウンタの減算値に基づいて形成されたオフセット値を考慮して補正するようにしている。

【0028】図2は、この発明が適用された同期回路の一例である。図2において、11は第1のバス1側のサイクルタイムカウンタであり、12は第2のバス2側のサイクルタイムカウンタである。

【0029】第1のバス側のサイクルタイムカウンタ11のカウント値は、減算回路13に供給される。第2のバス側のサイクルタイムカウンタ12のカウント値は、オフセット回路14に供給される。

【0030】オフセット回路14には、端子15から同期イネーブル信号ENが供給される。オフセット回路1

4は、同期イネーブル信号ENがローレベルのときには、第2のバス側のサイクルタイムカウンタ12のカウント値をそのまま出力し、同期イネーブル信号ENがハイレベルになると、サイクルタイムカウンタ12のカウント値をオフセット値で補正し、このオフセット値で補正されたサイクルタイムカウンタ12の値をカウンタ補正值として出力する。このオフセット回路14の出力が減算回路13に供給される。

【0031】オフセット回路14は、例えば、図3に示すように構成される。図3において、入力端子21には、第2のバス2側のサイクルタイムカウンタ12のカウント値が供給される。また、入力端子24には、同期イネーブル信号ENが供給される。この同期イネーブル信号ENは、レジスタ25に供給されると共に、セクタ23に供給される。レジスタ25は、同期イネーブル信号ENがハイレベルになると、サイクルタイムカウンタ12のカウント値とサイクルタイムカウンタ11のカウント値との減算値に基づくオフセット値を保持する。セクタ23は、イネーブル信号ENがハイレベルのときには端子23A側に設定され、同期イネーブル信号ENがローレベルのときには端子23B側に設定される。

【0032】入力端子21に、第2のバス側のサイクルタイムカウンタ12のカウント値が与えられ、この値が減算回路22に供給されると共に、セクタ23の端子23Bに供給される。減算回路22には、レジスタ25からオフセット値が供給される。減算回路22で、第2のバス側のサイクルタイムカウンタ12のカウント値と、レジスタ25からのオフセット値とが減算される。減算回路22の出力がセクタ23の端子23Aに供給される。セクタ23の出力が出力端子26から出力される。

【0033】同期イネーブル信号ENがローレベルのときには、セクタ23は端子23B側に設定される。このため、入力端子21からの第2のバス側のサイクルタイムカウンタ12のカウント値は、セクタ23を介して、出力端子26からそのまま出力される。

【0034】同期イネーブル信号ENがハイレベルになると、レジスタ25にオフセット値が保持される。そして、セクタ23が端子23A側に設定される。このため、減算回路22でサイクルタイムカウンタ12のカウント値とオフセット値とが減算され、サイクルタイムカウンタ12のカウント値がオフセットにより補正される。このオフセット値により補正されたサイクルタイムカウンタ12のカウント値は、カウンタ補正值として、出力端子26から出力される。

【0035】図2において、端子15に同期イネーブル信号ENが供給される。この同期イネーブル信号ENがローレベルのときには、オフセット回路14からは、第2のバス側のサイクルタイムカウンタ12のカウント値がそのまま出力される。このため、減算回路13で、サ

イクルタイムカウンタ12のカウント値と、サイクルタイムカウンタ11のカウント値とが減算される。この値は、オフセット値として、オフセット回路14に供給され、オフセット回路14のレジスタ25に保持される。

【0036】端子15からの同期イネーブル信号ENがハイレベルになると、オフセット回路14からは、オフセット値で補正されたサイクルタイムカウンタ12の値がカウンタ補正值として出力される。そして、減算回路13で、オフセット値で補正されたサイクルタイムカウンタ12の値と、サイクルタイムカウンタ11のカン

10 タ値とが減算される。
【0037】減算回路13の出力が同期制御回路16に供給される。同期制御回路16には、端子15から同期イネーブル信号ENが供給される。また、同期制御回路16には、端子17から調整タイミング信号TMが供給される。

【0038】同期制御回路16は、端子15からの同期イネーブル信号ENがハイレベルのときには、調整タイミング信号TMのタイミングで、進み/遅れ制御信号を形成し、この進み/遅れ信号をサイクルタイムカウンタ12に供給する。端子15からの同期イネーブル信号ENがローレベルのときには、サイクルタイムカウンタ12は自走している。

【0039】この図2に示す同期回路の動作について、図4のタイミング図を参照しながら説明する。

【0040】まず、時点 t_1 までは、図4Bに示すように、同期イネーブル信号ENはローレベルである。同期イネーブル信号ENがローレベルのときには、図4Dに示すように、サイクルタイムカウンタ12は、自走しており、サイクルタイムカウンタ11のカウント値(図4E)とサイクルタイムカウンタ12のカウント値(図4D)とは無関係な状態にある。

【0041】そして、同期イネーブル信号ENがローレベルになる時点 t_1 までの間では、図4Fに示すように、オフセット回路14からは、サイクルタイムカウンタ12の値(図4D)がそのまま出力される。減算回路13で、サイクルタイムカウンタ12の値(図4D)とサイクルタイムカウンタ11の値(図4E)が減算され、図4Gに示すように、減算回路13からは、その減算値が出力される。

【0042】すなわち、図4Eに示すように、サイクルタイムカウンタ11のカウント値が「3」、「4」、…であり、図4Dに示すように、サイクルタイムカウンタ12の値が「31」、「32」なら、その減算値は「28」となる。このため、同期イネーブル信号ENはローレベルである時点 t_1 までの間では、減算回路13からは、「28」が出力される。そして、このときの値がオフセット値としてレジスタ25に保持される。

【0043】次に、時点 t_1 で同期イネーブル信号ENがハイレベルになると、オフセット回路14からは、オ

フセット値で補正されたサイクルタイムカウンタ12の値が出力される。すなわち、図4Dに示すように、このときのサイクルタイムカウンタ12の値が「33」、

「34」、…であるとする、このサイクルタイムカウンタ12の値がオフセット値「28」により減算され、オフセット回路14からは、図4Fに示すように、「5」、「6」、…が出力される。

【0044】減算回路13で、補正されたサイクルタイムカウンタ12の値と、サイクルタイムカウンタ11の値が減算され、減算回路13からは、その減算値が出力される。図4Gに示すように、補正されたサイクルタイムカウンタ12の値(図4F)と、サイクルタイムカウンタ11の値(図4E)とを減算すると、その値は、同期イネーブルEN信号がハイレベルとされた時点 t_1 の直後では「0」となる。

【0045】サイクルタイムカウンタ11は、バス内のサイクルマスタに合わせてタイミング調整されるため、時間が経過すると、カウンタの値にずれが生じる場合がある。このような場合には、減算回路13の出力は「0」以外となる。

【0046】減算回路13の出力が「0」以外となると、時点 t_2 で、図4Cに示すように、調整タイミング信号TMがハイレベルとなる。調整タイミング信号TMがハイレベルになると、同期制御回路16の出力により、サイクルタイムカウンタ12の進み/遅れが調整される。この場合、図4Dに示すように、サイクルタイムカウンタ12の値が「74」から「76」にスキップされる。これにより、減算回路13の出力は「0」となるように、制御される。

30 【0047】このように、この例では、サイクルタイムカウンタの値をオフセット値により補正しており、2つのバスのフレームのタイミングがオフセット値だけ離れて同期制御される。

【0048】図5は、このようにサイクルタイムカウンタをオフセット値で補正したときのタイムスタンプの付け替え処理を行う回路の一例を示すものである。

【0049】図5において、第1のバスからのタイムスタンプが入力端子51に供給される。第1のバスからのタイムスタンプは、データ受信回路52に供給され、データ受信回路52で、第1のバスのタイムスタンプが抽出される。このタイムスタンプは、加算回路53に送られる。

【0050】加算回路53には、レジスタ54からオフセット値が与えられる。オフセット値は、前述したように、サイクルタイムカウンタ12のカウント値とサイクルタイムカウンタ11のカウント値とを減算することにより求められる。

【0051】加算回路53で、受け取ったタイムスタンプの値に、オフセット値が加えられる。このように、オフセット値が加えられたタイムスタンプは、データ受信

回路 5 2 に送り返され、データ受信回路 5 2 で、タイムスタンプの入れ替え処理が行われる。

【0052】入れ換えられたタイムスタンプは、エラー検出コード付加回路 5 5 に供給される。エラー検出コード付加回路 5 5 で、CRC コードの計算がやり直され、CRC エラー検出コードが付け替えられる。

【0053】エラー検出コード付加回路 5 5 の出力は、データ送信回路 5 6 に供給される。データ送信回路 5 6 により、オフセットが付加されたタイムスタンプがデータ送信回路 5 6 から出力され、これが他方のバスへの出力として、出力端子 5 7 から出力される。

【0054】なお、加算回路 5 3 には、サイクルタイムカウンタ 1 1 とサイクルタイムカウンタ 1 2 とのサイクルタイムの差に基づくオフセット値が与えられる。そして、上述の例では、端子 5 1 側から端子 5 7 側にデータが流れているが、ブリッジには、双方向にデータがやり取りされる。反対方向の場合には、加算回路 5 3 に入力される値は、正負反対の値が用いられる。

【0055】なお、この発明は、有線によるブリッジばかりでなく、ワイヤレスノード間を無線で接続するような場合にも同様に適用できる。

【0056】このように、この例では、サイクルタイムカウンタの値をオフセット値により補正している。すなわち、この発明が適用されたシステムでは、図 6 に示すように、一方のバスのフレーム（図 6 A）と他方のバスのフレーム（図 6 B）との間で一定のオフセット値が維持されて同期がとられるため、フレームの先頭を一致させる必要がない。このため、通信が途切れることなく、瞬時に同期をとることができる。

【0057】

【発明の効果】この発明によれば、互いにフレーム同期を維持しながらデータ送受信する複数のノードからなるバス同士をブリッジで接続する際に、各バスを接続するためのブリッジの処理時間に、ブリッジを介して送信さ

れるデータ中の内部時間を各バス間の同期タイミングのオフセット値分だけ修正することでバス間の同期が確立される。また、この発明によれば、各バスを接続するブリッジの処理時間に、ブリッジを介して送信されるデータ中の内部時間を各バス間の同期タイミングのオフセット値分だけ修正することでデータ中の内部時間を付け替えが行われる。このため、各バスのサイクルタイムカウンタを一致させる必要がなくなり、通信を一時的に中断させることなく、瞬時に同期をとることができる。

【図面の簡単な説明】

【図 1】ブリッジによる結合の説明に用いるブロック図である。

【図 2】この発明が適用されたブリッジ内の同期回路の一例のブロック図である。

【図 3】この発明が適用されたブリッジ内の同期回路におけるオフセット回路の一例のブロック図である。

【図 4】この発明が適用されたブリッジ内の同期回路の一例の説明に用いるタイミング図である。

【図 5】この発明が適用されたブリッジ内のタイムスタンプ付け替え回路の一例のブロック図である。

【図 6】この発明が適用されたブリッジで接続したのときバスのタイミングを示す略線図である。

【図 7】無線 LAN の一例のブロック図である。

【図 8】ブリッジの構造の説明に用いる機能ブロック図である。

【図 9】無線 LAN の説明に用いるブロック図である。

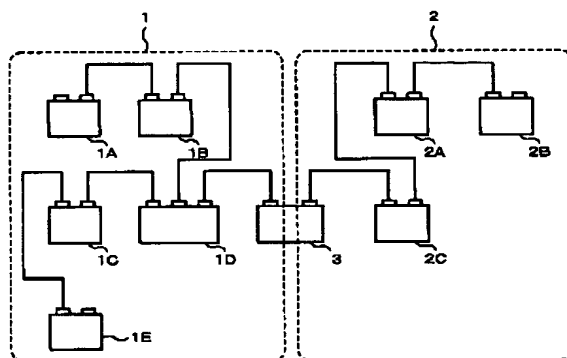
【図 10】IEEE 1394 のフレーム構造を示す略線図である。

【図 11】従来のブリッジ間の同期回路の一例のブロック図である。

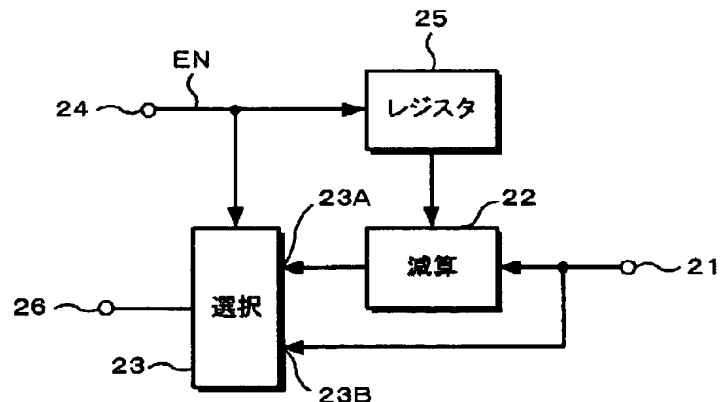
【符号の説明】

1 1, 1 2 . . . サイクルタイムカウンタ、1 3 . . . 減算回路、1 4 . . . オフセット回路、1 6 . . . 同期制御回路

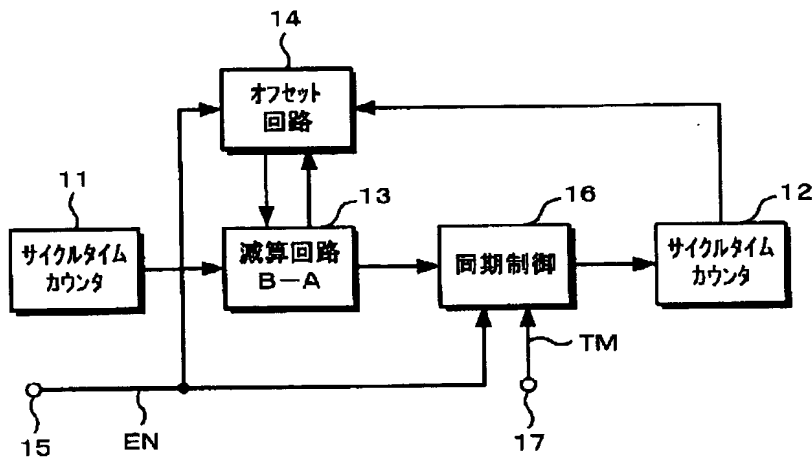
【図 1】



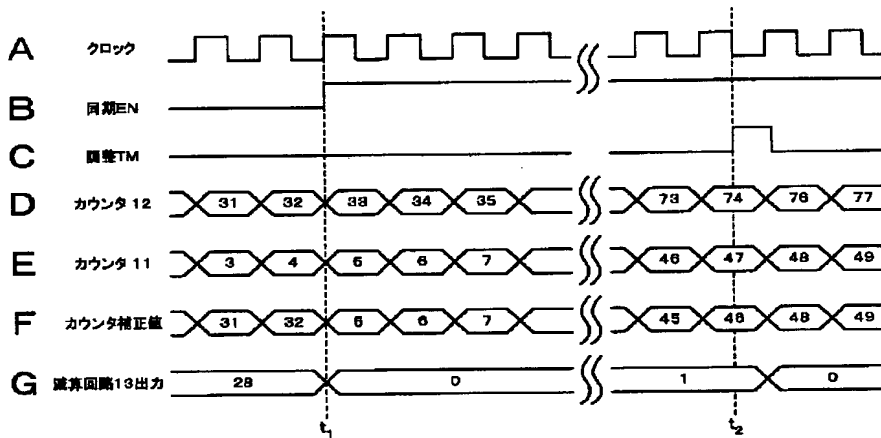
【図 3】



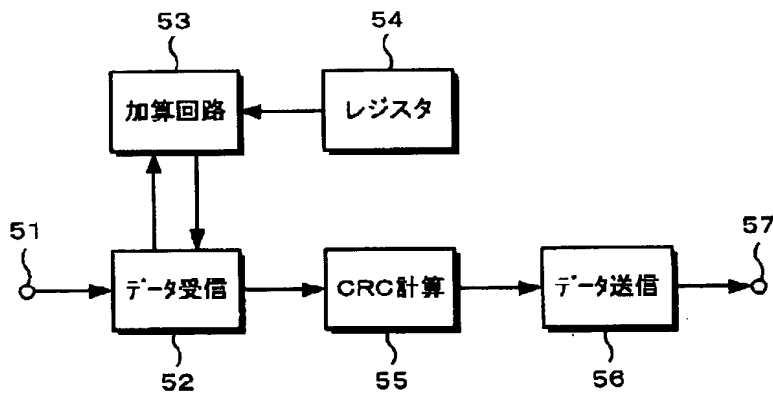
【図2】



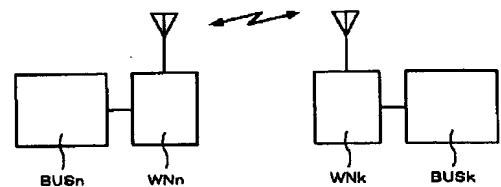
【図4】



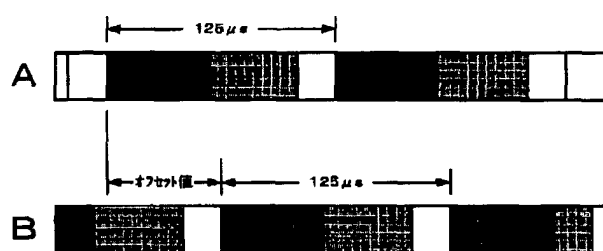
【図5】



【図9】



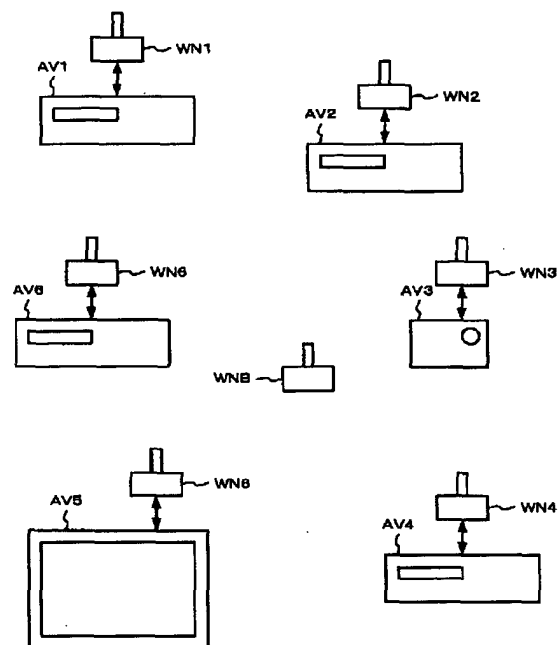
【図6】



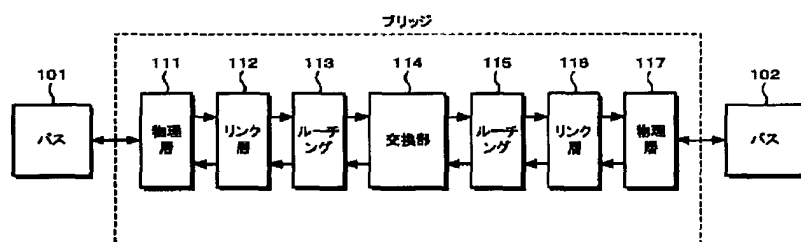
【図10】



【図7】



【図8】



【図11】

